



Politechnika Poznańska
Instytut Informatyki
Architektura Systemów Komputerowych
Laboratorium

Ćw. 6

Przetwornik ADC

Piotr Giera Poznań 2015

Cel ćwiczenia

Celem ćwiczenia jest zapoznanie studentów z układem przetwornika a/c w mikrokontrolerze ADuC842 i napisanie programu VOLTOMIERZ.

Co przygotować?

1. Zagadnienia z wcześniejszych zajęć.
2. Struktura i działanie przetwornika ADC

Wstęp

Mikrokontroler ADuC posiada wbudowany 12 bitowy przetwornik analogowo-cyfrowy. Dostępny jest poprzez multiplexer wejściowy. 8 wejść jest dostępnych na, zewnątrz jako ADC0-ADC7 na porcie 1. Wejście dziewiąte jest zajęte przez wbudowany czujnik temperatury. Wybór wejścia dokonuje się w rejestrze ADCCON2 – tab.2. Przetwornik posiada wbudowane źródło odniesienia $V_{REF}=2.5V$. Przetwarzanie 12 bitowe daje 4096 poziomów cyfrowych, czyli przy podanym napięciu odniesienia rozdzielczość 0.61mV. Oznacza to, że wartość wyjściową z przetwornika należy pomnożyć przez 0.61 aby uzyskać wartość mierzonego napięcia. Wartość wyjściowa przetwarzania jest zapisywana do pary rejestrów ADCDATAH i ADCDATAL. Cztery najstarsze bity wskazują numer kanału.

Poniżej przedstawiono rejestry odpowiedzialne za pracę przetwornika

Table 7. ADCCON1 SFR Bit Designations

Bit No.	Name	Description															
7	MD1	The mode bit selects the active operating mode of the ADC. Set by the user to power up the ADC. Cleared by the user to power down the ADC.															
6	EXT_REF	Set by the user to select an external reference. Cleared by the user to use the internal reference.															
5	CK1	The ADC clock divide bits (CK1, CK0) select the divide ratio for the PLL master clock (ADuC842/ADuC843) or the external crystal (ADuC841) used to generate the ADC clock. To ensure correct ADC operation, the divider ratio must be chosen to reduce the ADC clock to 8.38 MHz or lower. A typical ADC conversion requires 16 ADC clocks plus the selected acquisition time. The divider ratio is selected as follows:															
4	CK0																
		<table> <tr> <th>CK1</th><th>CK0</th><th>MCLK Divider</th></tr> <tr> <td>0</td><td>0</td><td>32</td></tr> <tr> <td>0</td><td>1</td><td>4 (Do not use with a CD setting of 0)</td></tr> <tr> <td>1</td><td>0</td><td>8</td></tr> <tr> <td>1</td><td>1</td><td>2</td></tr> </table>	CK1	CK0	MCLK Divider	0	0	32	0	1	4 (Do not use with a CD setting of 0)	1	0	8	1	1	2
CK1	CK0	MCLK Divider															
0	0	32															
0	1	4 (Do not use with a CD setting of 0)															
1	0	8															
1	1	2															
3	AQ1	The ADC acquisition select bits (AQ1, AQ0) select the time provided for the input track-and-hold amplifier to acquire the input signal. An acquisition of three or more ADC clocks is recommended; clocks are as follows:															
2	AQ0																
		<table> <tr> <th>AQ1</th><th>AQ0</th><th>No. ADC Clks</th></tr> <tr> <td>0</td><td>0</td><td>1</td></tr> <tr> <td>0</td><td>1</td><td>2</td></tr> <tr> <td>1</td><td>0</td><td>3</td></tr> <tr> <td>1</td><td>1</td><td>4</td></tr> </table>	AQ1	AQ0	No. ADC Clks	0	0	1	0	1	2	1	0	3	1	1	4
AQ1	AQ0	No. ADC Clks															
0	0	1															
0	1	2															
1	0	3															
1	1	4															
1	T2C	The Timer 2 conversion bit (T2C) is set by the user to enable the Timer 2 overflow bit to be used as the ADC conversion start trigger input.															
0	EXC	The external trigger enable bit (EXC) is set by the user to allow the external Pin P3.5 ($\overline{CONVST}$) to be used as the active low convert start input. This input should be an active low pulse (minimum pulse width >100 ns) at the required sample rate.															

Tab.1

Table 8. ADCCON2 SFR Bit Designations

Bit No.	Name	Description
7	ADCI	ADC Interrupt Bit. Set by hardware at the end of a single ADC conversion cycle or at the end of a DMA block conversion. Cleared by hardware when the PC vectors to the ADC interrupt service routine. Otherwise, the ADCI bit is cleared by user code.
6	DMA	DMA Mode Enable Bit. Set by the user to enable a preconfigured ADC DMA mode operation. A more detailed description of this mode is given in the ADC DMA Mode section. The DMA bit is automatically set to 0 at the end of a DMA cycle. Setting this bit causes the ALE output to cease; it will start again when DMA is started and will operate correctly after DMA is complete.
5	CCONV	Continuous Conversion Bit. Set by the user to initiate the ADC into a continuous mode of conversion. In this mode, the ADC starts converting based on the timing and channel configuration already set up in the ADCCON SFRs; the ADC automatically starts another conversion once a previous conversion has completed.
4	SCONV	Single Conversion Bit. Set to initiate a single conversion cycle. The SCONV bit is automatically reset to 0 on completion of the single conversion cycle.
3	CS3	Channel Selection Bits. Allow the user to program the ADC channel selection under software control. When a conversion is initiated, the converted channel is the one pointed to by these channel selection bits. In DMA mode, the channel selection is derived from the channel ID written to the external memory.
2	CS2	
1	CS1	
0	CS0	
		CS3 CS2 CS1 CS0 CH#
		0 0 0 0 0
		0 0 0 1 1
		0 0 1 0 2
		0 0 1 1 3
		0 1 0 0 4
		0 1 0 1 5
		0 1 1 0 6
		0 1 1 1 7
		1 0 0 0 Temp Monitor Requires minimum of 1 μ s to acquire.
		1 0 0 1 DAC0 Only use with internal DAC output buffer on.
		1 0 1 0 DAC1 Only use with internal DAC output buffer on.
		1 0 1 1 AGND
		1 1 0 0 V_{REF}
		1 1 1 1 DMA STOP Place in XRAM location to finish DMA sequence; refer to the ADC DMA Mode section.
		All other combinations reserved.

Tab.2

Maksymalna częstotliwość zegara taktującego przetwornik powinna zawierać się w granicach 400 kHz do 8.38Mhz (ustalana dzielnikiem w rejestrze ADCCON1 – tab.1) częstotliwość zegara natomiast w rejestrze PLLCON. Np., jeśli PLLCON CD2-CD0=010B wtedy $f_{CORE}=4.19\text{MHz}$. Ustawiając CK1=1 i CK0=1 (podział przez 2) otrzymujemy $f_{ADC}=2\text{MHz}$. Przetwarzanie trwa zazwyczaj 16 cykli zegara ADC plus czas (liczony w cyklach ADC) potrzebny na pobranie wartości analogowe, zaleca się 3-4 cykli.

Zadanie

Wykorzystując potencjometr znajdujący się na obudowie mikrokontrolera, zbudować woltomierz, mierzący z wybraną przez siebie dokładnością napięcie z zakresu 0V-2.5V.

Literatura

- http://www.analog.com/media/en/technical-documentation/data-sheets/ADUC841_842_843.pdf
- Andrzej Radzewski: *Mikrokomputery jednoukładowe rodziny MCS'51*, WNT 1992,